

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Masami Endo et al.                      Art Unit : Unknown  
Serial No. :    Examiner : Unknown  
Filed : October 20, 2003  
Title : DISPLAY DEVICE AND DRIVING METHOD THEREOF

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

**Japan Application No. 2002-306426, filed October 21, 2002**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: October 20, 2003

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

**Customer No. 26171**  
Fish & Richardson P.C.  
1425 K Street, N.W., 11th Floor  
Washington, DC 20005-3500  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2002年10月21日  
Date of Application:

出願番号                      特願2002-306426  
Application Number:  
[ST. 10/C]:                      [JP 2002-306426]

出願人                      株式会社半導体エネルギー研究所  
Applicant(s):

2003年 8月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3062124

【書類名】 特許願

【整理番号】 P006674

【提出日】 平成14年10月21日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 遠藤 正巳

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 齋藤 利彦

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】 表示装置及び電子機器****【特許請求の範囲】****【請求項 1】**

発光素子を有し、点灯時間の長さで階調を表現する表示装置において、  
第 1 乃至第 4 の信号と、第 1 および第 2 のメモリ、読み取り装置および書き込み装置からなる制御回路を有し、

前記第 1 の信号は前記書き込み装置の状態を表し、

前記第 2 の信号は前記読み取り装置の状態を表し、

前記第 3 の信号は前記第 1 のメモリ及び前記第 2 のメモリへの書き込みと読み込みの役割を決定し、前記第 1 の信号及び前記第 2 の信号が第 2 の状態になったときに反転して前記第 1 のメモリ及び前記第 2 のメモリの役割を入れ替え、

前記第 4 の信号は前記第 3 の信号の保持を行い、

前記第 1 及び第 2 のメモリはそれぞれ書き込みと読み取りの役割が与えられ、

前記第 1 の信号を前記読み取り装置に、また前記第 2 の信号を前記書き込み装置に随時入力し、

前記書き込み装置が書き込みを行っている状態ならば前記第 1 の信号および前記第 2 の信号は第 1 の状態となり、よって前記第 3 の信号は反転されず、前記第 4 の信号は前記第 3 の信号の状態を上書きし、

前記書き込み装置が待機状態ならば前記第 1 の信号が第 2 の状態になり、前記第 2 の信号もまた第 2 の状態となって前記第 4 の信号が反転して、前記第 1 のメモリ及び前記第 2 のメモリの書き込みと読み取りの役割が入れ替わり、前記第 2 の信号は再び第 1 の状態に戻り、

前記第 4 の信号は前記第 3 の信号と比較を行い、前記第 3 の信号の状態が変わった時点で前記第 1 の信号の状態を第 1 の状態に戻すことで前記書き込み装置は再び書き込みを開始させ、

それら一連の動作によって、読み取り装置及び書き込み装置の同期を取ることのできる表示装置。

**【請求項 2】**

請求項 1 において、

前記メモリ、前記読み取り装置及び前記書き込み装置が表示部と基板上に一体形成される表示装置。

【請求項 3】

発光素子を有し、点灯時間の長さで階調を表現する表示装置において、

表示装置は、第 1 のメモリと第 2 のメモリと、映像信号をシリアルからパラレルに変換する変換回路と、第 1 のスイッチと第 2 のスイッチを有し、

映像信号は前記変換回路によってパラレルに変換されたのち前記第 1 のスイッチを介して前記第 1 のメモリまたは前記第 2 のメモリに入力され、

前記第 1 のメモリまたは前記第 2 のメモリの出力信号は前記第 2 のスイッチを介してディスプレイに入力される事を特徴とした表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記メモリを F P C 上に実装する事を特徴とする表示装置。

【請求項 5】

請求項 1 乃至 3 のいずれかにおいて、

前記メモリを基板上に実装する事を特徴とする表示装置。

【請求項 6】

請求項 1 乃至 3 を用いた電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、表示装置に関するものであり、特に発光素子を用い、メモリの制御回路を有する表示装置に関するものである。メモリの制御回路とは、S R A Mをはじめとするメモリへの書き込み及び読み取りの制御を行うものである。

【 0 0 0 2 】

【従来の技術】

発光素子を画素毎に配置し、それらの発光素子の発光を制御することによって、画像を表示を行う表示装置について以下に説明する。

**【0003】**

ここで本明細書中では、発光素子は、電界が生じると発光する有機化合物層を、陽極及び陰極で挟んだ構造を有する素子（OLED素子）を示すものとして説明を行うが、これに限定されない。

**【0004】**

また、本明細書中において、発光素子とは、一重項励起子から基底状態に遷移する際の発光（蛍光）を利用するものと、三重項励起子から基底状態に遷移する際の発光（燐光）を利用するものの両方を示すものとして説明を行う。

**【0005】**

有機化合物層としては、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が挙げられる。発光素子は、基本的に、陽極／発光層／陰極の順に積み重ねた構造で示されるが、この他に、陽極／正孔注入層／発光層／電子注入層／陰極の順に積み重ねた構造や、陽極／正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層／陰極の順に積み重ねた構造などがある。

**【0006】**

表示装置は、ディスプレイと、ディスプレイに信号を入力する周辺回路によって構成されている。

**【0007】**

ディスプレイの構成について、図8にブロック図を示す。

**【0008】**

図8において、ディスプレイ2000は、ソース信号線駆動回路2107と、ゲート信号線駆動回路2108と、画素部2109とによって構成されている。画素部は、マトリクス状に画素が配置された構成になっている。

**【0009】**

各画素に、薄膜トランジスタ（以下、TFTと表記する）が配置されている。ここでは、画素毎に2つのTFTを配置し、各画素の発光素子の発光を制御する手法について説明する。

**【0010】**

図9に、表示装置の画素部の構成を示す。

**【0011】**

画素部 2700 には、ソース信号線  $S_1 \sim S_x$ 、ゲート信号線  $G_1 \sim G_y$ 、電源供給線  $V_1 \sim V_x$  が配置され、 $x$  ( $x$  は自然数) 列  $y$  ( $y$  は自然数) 行の画素が配置されている。各画素 2705 は、スイッチング用 TFT 2701 と、駆動用 TFT 2702 と、保持容量 2703 と、発光素子 2704 をそれぞれ有している。

**【0012】**

画素は、ソース信号線  $S_1 \sim S_x$  のうちの 1 本  $S$  と、ゲート信号線  $G_1 \sim G_y$  のうちの 1 本  $G$  と、電源供給線  $V_1 \sim V_x$  のうちの 1 本  $V$  と、スイッチング用 TFT 2701 と、駆動用 TFT 2702 と、保持容量 2703 と、発光素子 2704 とによって構成されている。

**【0013】**

スイッチング用 TFT 2701 のゲート電極は、ゲート信号線  $G$  に接続され、スイッチング用 TFT 2701 のソース領域とドレイン領域は、一方はソース信号線  $S$  に接続され、もう一方は、駆動用 TFT 2702 のゲート電極もしくは、保持容量 2703 の一方の電極に接続されている。駆動用 TFT 2702 のソース領域とドレイン領域は、一方は、電源供給線  $V$  に接続され、もう一方は、発光素子 2704 の陽極もしくは陰極に接続されている。保持容量 2703 の 2 つの電極のうち、駆動用 TFT 2702 及びスイッチング用 TFT 2701 に接続されていない側は、電源供給線  $V$  に接続されている。

**【0014】**

ここで本明細書中では、駆動用 TFT 2702 のソース領域もしくはドレイン領域が、発光素子 2704 の陽極と接続されている場合、発光素子 2704 の陽極を画素電極と呼び、陰極を対向電極と呼ぶ。一方、駆動用 TFT 2702 のソース領域もしくはドレイン領域が、発光素子 2704 の陰極と接続されている場合、発光素子 2704 の陰極を画素電極と呼び、陽極を対向電極と呼ぶ。

**【0015】**

また、電源供給線  $V$  に与えられる電位を電源電位といい、対向電極に与えられる電位を対向電位と呼ぶことにする。

## 【0016】

スイッチング用TF T 2701及び駆動用TF T 2702は、pチャネル型TF Tでもnチャネル型TF Tでも構わないが、発光素子2704の画素電極が陽極の場合、駆動用TF T 2702は、pチャネル型TF Tが望ましく、スイッチング用TF T 2701は、nチャネル型TF Tが望ましい。一方、画素電極が、陰極の場合、駆動用TF T 2702は、nチャネル型TF Tが望ましく、スイッチング用TF T 2701は、pチャネル型TF Tが望ましい。

## 【0017】

上記構成の画素において、画像を表示する際の動作を以下に説明する。

## 【0018】

ゲート信号線Gに信号が入力されて、スイッチング用TF T 2701のゲート電極の電位が変化し、ゲート電圧が変化する。こうして導通状態となったスイッチング用TF T 2701のソース・ドレイン間を介して、ソース信号線Sより駆動用TF T 2702のゲート電極に信号が入力される。また、保持容量2703に信号が保持される。駆動用TF T 2702のゲート電極に入力された信号によって、駆動用TF T 2702のゲート電圧が変化し、ソース・ドレイン間が導通状態となる。電源供給線Vの電位が、駆動用TF T 2702を介して、発光素子2704の画素電極に与えられる。こうして、発光素子2704は発光する。

## 【0019】

このような構成の画素において、階調を表現する手法について説明する。階調の表現の方法には、大きくわけて、アナログ方式とデジタル方式とがある。アナログ方式と比べて、デジタル方式は、TF Tのばらつきに強いと言う点で有利である。ここでは、デジタル方式の階調表現方法に注目する。デジタル方式の階調表現方法として、時間階調方式が挙げられる。時間階調方式の駆動方式について、以下に詳しく説明する。

## 【0020】

この方式の駆動方法では、表示装置の各画素が発光する期間を制御することによって、階調を表現する手法である。1画像を表示する期間を1フレーム期間とすると、1フレーム期間は、複数のサブフレーム期間に分割される。



**【0021】**

サブフレーム期間毎に、点灯もしくは非点灯とし、つまり、各画素の発光素子を発光させるかさせないして、1フレーム期間あたりに発光素子が発光する期間を制御し、各画素の階調が表現される。

**【0022】**

この時間階調方式の駆動方法について、図10のタイミングチャートを用いて詳しく説明する。なお、図10においては、4ビットのデジタル映像信号を用いて階調を表現する場合の例を示す。なお、画素及び画素部の構成としては、図9に示したものを参照する。ここで、対向電位は、外部電源（図示せず）によって、電源供給線V1～Vxの電位（電源電位）と同じ程度の電位か、電源供給線V1～Vxの電位との間に、発光素子2704が発光する程度の電位差かを有するように切り換えることができる。

**【0023】**

1フレーム期間Fは、複数のサブフレーム期間SF1～SF4に分割される。第1のサブフレーム期間SF1において、はじめにゲート信号線G1が選択され、ゲート信号線G1にゲート電極が接続されたスイッチング用TF T2701を有する画素においてそれぞれ、ソース信号線S1～Sxからデジタル映像信号が入力される。この入力されたデジタル映像信号によって、各画素の駆動用TF T2702は、オンの状態もしくはオフの状態となる。

**【0024】**

ここで本明細書中では、TF Tがオンの状態とは、そのゲート電圧によって、ソース・ドレイン間が導通状態であることを示すとする。また、TF Tがオフの状態とは、そのゲート電圧によって、ソース・ドレイン間が、非導通状態であることを示すとする。

**【0025】**

このとき、発光素子2704の対向電位は、電源供給線V1～Vxの電位（電源電位）とほぼ等しく設定されているので、駆動用TF T2702がオンの状態となった画素においても発光素子2704は発光しない。全てのゲート信号線G1～Gyについて以上の動作を繰り返し、書き込み期間Ta1が終了する。なお

、第1のサブフレーム期間SF1の書き込み期間を $T_{a1}$ と呼ぶ。一般に第 $j$  ( $j$ は自然数)のサブフレーム期間の書き込み期間を $T_{aj}$ と呼ぶことにする。

#### 【0026】

書き込み期間 $T_{a1}$ が終了すると対向電位が、電源電位との間に発光素子2704が発光する程度の電位差を有するように変化する。こうして表示期間 $T_{s1}$ が始まる。なお、第1のサブフレーム期間SF1の表示期間を $T_{s1}$ と呼ぶ。一般に第 $j$  ( $j$ は自然数)のサブフレーム期間の表示期間を $T_{sj}$ と呼ぶことにする。表示期間 $T_{s1}$ において、各画素の発光素子2704は、入力された信号に応じて、発光もしくは非発光の状態となる。

#### 【0027】

上記動作を全てのサブフレーム期間SF1～SF4について繰り返し、1フレーム期間F1が終了する。ここで、サブフレーム期間SF1～SF4の表示期間 $T_{s1}$ ～ $T_{s4}$ の長さを適宜設定し、1フレーム期間Fあたりで、発光素子2704が発光したサブフレーム期間の表示期間の累計によって階調を表現する。つまり、1フレーム期間中の点灯時間の総和をもって階調を表現する。

#### 【0028】

一般に、 $n$ ビットのデジタルビデオ信号を入力して、 $2^n$ 階調を表現する手法について説明する。このとき、例えば、1フレーム期間を $n$ 個のサブフレーム期間SF1～SF $n$ に分割し、各サブフレーム期間SF1～SF $n$ の表示期間 $T_{s1}$ ～ $T_{sn}$ の長さの比が、 $T_{s1} : T_{s2} : \dots : T_{sn-1} : T_{sn} = 2^0 : 2^{-1} : \dots : 2^{-n+2} : 2^{-n+1}$ となるように設定する。なお、書き込み期間 $T_{a1}$ ～ $T_{an}$ の長さは同じである。

#### 【0029】

1フレーム期間中に発光素子2704において、発光状態が選択された表示期間 $T_s$ の総和を求めることによって、そのフレーム期間におけるその画素の階調が決まる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_{s8}$ と $T_{s7}$ において画素が発光した場合には1%の輝度が表現でき、 $T_{s6}$ と $T_{s4}$ と $T_{s1}$ を選択した場合には60%の輝度が表現できる。

**【0030】**

このような時間階調で表示するためには時間階調用に信号を変換する回路が必要である。従来用いられている制御回路の概略図を図2に示す。制御回路200はデータを記憶するメモリA201およびメモリB202、データを読み取り、メモリへの書き込みを行う論理回路(W-LOGIC203)、メモリからの読み取りを行い、出力を行う論理回路(R-LOGIC204)から構成される。

**【0031】**

図3に従来の制御回路のタイムチャートを示す。W-LOGIC203に入力されたデジタルデータを時間階調方式に合わせたデータにするために、メモリA201およびメモリB202を使って、交互にデータの書き込み及び読み取りを行う。

**【0032】**

R-LOGIC204がメモリA201に記憶された信号の読み出しを行うと、同時にメモリB202にW-LOGIC203を介して次のフレーム期間に対応するデジタルビデオ信号が入力され、記憶され始める。

**【0033】**

このように、制御回路200は、それぞれ1フレーム期間分ずつのデジタルビデオ信号を記憶することができるメモリA201及びメモリB202を有し、このメモリA201とメモリB202とを交互に用いて、デジタルビデオ信号をサンプリングする。

**【0034】**

このとき、従来の方法ではメモリA201またはメモリB202に書き込んだ後、再び読み取り信号が来るまでWait(待機)状態に置かれる。また、メモリA201およびメモリB202の書き込みと読み取りの機能変換はより時間のかかる読み取り側にタイミングを合わせて行う(図3)。

**【0035】****【発明が解決しようとする課題】**

従来の方法においては、読み取り時間を書き込み時間よりも十分長く設定していた。そのため、書き込みを随時行い、読み取りが終わってから動作の機能を入

れ替える方式でも問題はなかった。

#### 【0036】

しかし、メモリへの読み取りと書き込みにかかる時間に差がほとんどないような駆動方法では従来のように書き込み後読み取りが行なわれるまでWait状態を続ける方法ではメモリへ書き込むタイミングが遅くなってしまい、結果としてフレーム周波数が落ちてしまうという課題があった。

#### 【0037】

##### 【課題を解決するための手段】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じた。すなわち、あるタイミングのときに読み取り信号と書き込み信号の状態を読み取ることにより、同期を取り2つのメモリのどちらに書き込みを行うか信号を通じて決定することにした。

#### 【0038】

つまり、第1乃至第4の信号と、第1および第2のメモリ、読み取り装置および書き込み装置からなる制御回路を有し、

第1の信号は書き込み装置の状態を表し、

第2の信号は読み取り装置の状態を表し、

第3の信号は第1のメモリ及び第2のメモリへの書き込みと読み込みの役割を決定し、第1の信号及び第2の信号が第2の状態になったときに反転して第1のメモリ及び第2のメモリの役割を入れ替え、

第4の信号は第3の信号の保持を行い、

2個のメモリはそれぞれ書き込みと読み取りの役割が与えられ、

第1の信号を読み取り装置に、また第2の信号を書き込み装置に随時入力し、

書き込み装置が書き込みを行っている状態ならば第1の信号および第2の信号は第1の状態となり、よって第3の信号は反転されず、第4の信号は第3の信号の状態を上書きし、

書き込み装置が待機状態ならば第1の信号が第2の状態になり、第2の信号もまた第2の状態となって第4の信号が反転して、2個のメモリの書き込みと読み取りの役割が入れ替わり、第2の信号は再び第1の状態に戻り、

第4の信号は第3の信号と比較を行い、第3の信号の状態が変わった時点で第1の信号の状態を第1の状態に戻すことで書き込み装置は再び書き込みを開始させ、

それら一連の動作によって、読み取り装置及び書き込み装置の同期を取ることのできる表示装置によって課題を解決する事ができる。

#### 【0039】

また読み取り装置および書き込み装置はFPGAであってもよいし、LSIでもよい。また、表示装置と同一基板上に構成されていてもよい。

#### 【0040】

この事により、メモリへの読み取りと書き込みにかかる時間に差がほとんどないような場合でも最適な期間に動作の機能を入れ替えることができるため、フレーム周波数が低下するという課題が解決される。

#### 【0041】

#### 【発明の実施の形態】

図1に、本発明の代表的な構成を示すブロック図を示す。

#### 【0042】

制御回路100はメモリA101およびメモリB102、メモリ書き込み用Selector103、出力用Selector104、メモリへの書き込みを行う論理回路(W-LOGIC105)、メモリからの読み取りを行い、出力を行う論理回路(R-LOGIC106)から構成される。

#### 【0043】

同期をとる方法として、Sync、WFLAG、RFLAG、RAM\_SELECTORの信号を新たに導入する。メモリへの書き込み状態WFLAGをR-LOGIC106に、またメモリからの読み取り状態RFLAGをW-LOGIC105に inputsする。RAM\_SELECTORはWFLAG、RFLAGの各状態からどのメモリに書き込むかを決定する。

#### 【0044】

図4にW-LOGIC105とR-LOGIC106の動作を示すタイミングチャートを示す。WFLAGはR-LOGIC106に、またRFLAGはW-

LOGIC105に随時入力を行う。

【0045】

このとき書き込みがWrite状態ならWFLAGはLowであり、RFLAGもまたLowとなる。従ってRAM\_SELECTORは反転されない。

【0046】

書き込みがWait状態ならばWFLAGがHighになり、RFLAGもまたHighになる。RFLAGがHighかつWFLAGがHighのときにRAM\_SELECTORは反転し、2つのメモリA101とメモリB102の書き込みと読み取りの役割が入れ替わる。

【0047】

図5に書き込み、読み取りのタイミングと同期の取り方のタイムチャートを示す。SyncはRAM\_SELECTORの状態を書き込む。Write (WFLAGがLow) 期間中は新しいRAM\_SELECTORの状態が上書きされ、Wait (WFLAGがHigh) 期間中ではそのままである。

【0048】

そしてWait期間中にRAM\_SELECTORが反転してSyncに保持されているRAM\_SELECTORの状態と異なった場合にWFLAGがLowになり、再びWrite状態になる。

【0049】

RAM\_SELECTORが反転した時点でRFLAGはLowになっているので、この時に書き込みと読み取りとの同期が取れる事になる。

【0050】

【実施例】

本発明の実施例について説明する。

(実施例1)

本実施例では、OLED素子を用いた表示用パネルに出力する制御回路の構成の一例を図6を用いて説明する。

【0051】

制御回路601には18ビット(6ビット×RGB)のVideo\_Data

と制御信号が入力される。Video\_\_Dataが入力されてからパネル608に出力するまでの動作を説明する。

#### 【0052】

各行の読み込みの制御はVCLK（周期 $148.8\mu s$ ）で行なわれる。まずSYNC信号が入力される事でVideo\_\_Dataの入力が始まる。SYNC信号が入力された後一定期間のオフ期間を経てW-LOGIC604にVideo\_\_Dataの入力が始まる。VCLK半周期につき1行分のVideo\_\_Dataが読み取られる。220行分の入力が終わると一定期間のオフ期間を経て再びSYNC信号が入力されVideo\_\_Dataが入力される。全面の入力周期は $18.1536ms$ （VCLK122周期分）である。

#### 【0053】

一行内の各ブロックへの読み込みの制御はHCLK（周期 $400ns$ ）で行なわれる。Video\_\_EnableがHighの期間中Video\_\_Dataを読み出す。1行分、すなわち176ブロック分のデータを読み終わると一定期間のオフ期間（Video\_\_EnableがLow）を経て次の行のVideo\_\_Dataを読み出す。これを220行分繰り返すことで一画面分のデータとなる。

#### 【0054】

一方、FPGA601にはメモリA606およびメモリB607が接続され、FPGAからの信号RAM\_\_SELECTによってどちらのメモリに書き込む、また読み取るかを決定する。それぞれのメモリには $8 \times 3 = 24$ 個のフリップフロップによって構成され、各フリップフロップはある点での一色分のデータ（6ビット）を格納する事ができる。データはHCLKによって順次隣のフリップフロップに移動され、8ブロック分のデータが揃うとRAM\_\_SELECTが切り替わり、書き込みはもう一方のメモリに移り、格納されたデータは読み出される。

#### 【0055】

パネル608の表示は時間階調で行うために、メモリA606またはメモリB607に書き込まれたデータはパネル出力用に並び替えを行い、順次パネル60

8に出力される。R-LOGIC603は8ブロック分のデータをメモリA606またはメモリB607内に取り込み1～4ブロックの第1期間、5～8ブロックの第1期間、1～4ブロックの第2期間、5～8ブロックの第2期間…以下第6期間までの順序で読み込み、パネル608に出力する。

#### 【0056】

パネル608に表示する際にはVideo\_\_Dataは4×RGB=12ビット単位で取り扱う。G1\_\_CK、G2\_\_CK、G1\_\_CKB、G2\_\_CKBはそれぞれ周期12μsのクロックである。G1\_\_CK、G1\_\_CKBが立ちあがる、または立ち下がるタイミングでVideo\_\_Dataが入力される行が移動する。

#### 【0057】

G1\_\_SPが立ち下がってからから2周期(24μs)後に上の行から順に書き込みが行なわれる。220行分書き込みが終わると一画面分の表示となるが、次の画面の表示の前に書き込みを遅らせるために4周期(48μs)分のダミーサイクルが入る。また、必要によって書き込みの消去を行うときにはG2\_\_SPを立ちあげる。

#### 【0058】

S\_\_CK、S\_\_CKBは周期200nsのクロックである。S\_\_CK、S\_\_CKBが立ちあがる、または立ち下がるタイミングでVideo\_\_Dataが入力されるブロックが移動する。G1\_\_CLKが立ち上がるもしくは立ち下がってから4周期(800ns)後にS\_\_LATがHighになって電荷の保持を行い、続いてS\_\_SPがHigh→LowになるときにVideo\_\_Dataの入力が始まる。入力4ブロック毎に行うので、44回繰り返す事で1行分の書き込みが終了する。

#### 【0059】

W-LOGIC602とR-LOGIC603との同期は発振子609からのPLL610を通したクロックを入力することによって取っている。また、メモリA606及びメモリB607への書き込み・読み取りのタイミングは、PLL610を通したクロックの立ち上がり及び立ち下がりを使用している。



**【0060】**

W-LOGIC602及びR-LOGIC603は公知のLSIを用いても良いし、FPGAを用いることもできる。

**【0061】**

本発明は、W-LOGIC602とR-LOGIC603およびメモリA606とメモリB607、そしてメモリを選択するSelector604と605とに用いられている。

**【0062】**

(実施例2)

本実施例においては、実施例1を用いた制御回路によるOLED素子を用いた表示装置の一例を図7に示す。

**【0063】**

表示装置はパネル700、制御回路701、ソース信号線駆動回路702、ゲート信号線駆動回路703及び704、表示部705、メモリ706、FPC707とコネクタ708よりなる。表示装置の各回路はパネル700上に形成もしくは外付けされる。

**【0064】**

動作の説明を行う。FPC707からコネクタ708を通して送られたデータ及び制御信号は制御回路701に入力され、メモリ706でデータを出力用に並べ替えられて再び制御回路701に送られる。制御回路701はデータ及び表示に用いる信号をソース信号線駆動回路702、ゲート信号線駆動回路703、704に送り、OLED素子を用いた表示部705で表示を行う。

**【0065】**

ソース信号線駆動回路702およびゲート信号線駆動回路703、704は公知のものを用いる事ができる。また、回路の構成によってはゲート信号線駆動回路は一つでもよい。

**【0066】**

本発明は、制御回路701に用いられる。

**【0067】**

**(実施例 3)**

本実施例においては、実施例 1 を用いた制御回路による O L E D 素子を用いた表示装置のうち、実施例 2 とは異なる一例を図 1 3 に示す。

**【 0 0 6 8 】**

表示装置 9 0 0 は、制御回路 9 0 1、ソース信号線駆動回路 9 0 2、ゲート信号線駆動回路 9 0 3 及び 9 0 4、表示部 9 0 5、メモリ 9 0 6、F P C 9 0 7 よりなるとコネクタ 9 0 8 よりなる。表示装置の各回路はパネル 9 0 0 上に形成もしくは外付けされる。

**【 0 0 6 9 】**

動作の説明を行う。F P C 9 0 7 からコネクタ 9 0 8 を通して送られたデータ及び制御信号は制御回路 9 0 1 に入力されたのちに、データを F P C 9 0 7 内のメモリ 9 0 6 に戻してデータを出力用に並べ替えられ、再び制御回路 9 0 1 に送られる。制御回路 9 0 1 はデータ及び表示に用いる信号をソース信号線駆動回路 9 0 2、ゲート信号線駆動回路 9 0 3、9 0 4 に送り、O L E D 素子を用いた表示部 9 0 5 で表示を行う。

**【 0 0 7 0 】**

実施例 2 との違いは、メモリ 9 0 6 が F P C 9 0 7 内に組み込まれている点である。この事により、表示装置の小型化を図ることができる。

**【 0 0 7 1 】**

実施例 2 と同様、ソース信号線駆動回路 9 0 2 およびゲート信号線駆動回路 9 0 3、9 0 4 は公知のものをを用いる事ができる。また、回路の構成によってはゲート信号線駆動回路は一つでもよい。

**【 0 0 7 2 】**

本発明は、制御回路 9 0 1 に用いられる。

**【 0 0 7 3 】****(実施例 4)**

本実施例においては、実施例 1 乃至 3 とは異なる構成による O L E D 素子を用いたディスプレイに出力する制御回路の構成の一例を図 1 1 を用いて説明する。

**【 0 0 7 4 】**

時間階調表示はアナログ表示に比較して、必然的に動作周波数が高くなる。一般に高画質を得るためには、擬似輪郭の発生を抑える必要があり、そのためにはサブフレームを10以上にする必要がある。そのため、動作周波数も10倍以上にしなければならない。

#### 【0075】

このような動作周波数で駆動を行うためには使用するSRAMも高速動作が必要であり、高速用のSRAM-ICを使用する必要がある。

#### 【0076】

ところが、高速用のSRAMは保持時の消費電力が大きく、モバイル機器には適していない。また、低消費電力のSRAMを使用するためには周波数をもっと下げる必要がある。

#### 【0077】

図11に示すように、デジタル映像信号をSRAM1703、SRAM1704に書き込みをする前にデータをシリアルからパラレルに変更する、シリアル-パラレル回路1702を構成し、その後でスイッチ1706を介して書き込みを行う。

このような対策をとることによって、呼び出し時も低周波数でパラレルな呼び出しが可能となるため、低消費電力SRAMが低周波数で使用でき、モバイル機器の電力を下げる事ができる。

#### 【0078】

##### (実施例5)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図10に示す。

## 【0079】

図12 (A) は液晶ディスプレイもしくはOLEDディスプレイであり、筐体1001、支持台1002、表示部1003などによって構成されている。本発明は表示部1003を有する表示装置の駆動回路に適用が可能である。

## 【0080】

図12 (B) はビデオカメラであり、本体1011、表示部1012、音声入力1013、操作スイッチ1014、操作スイッチ1015、バッテリー1016、受像部1017などによって構成されている。本発明は表示部1017を有する表示装置の駆動回路に適用が可能である。

## 【0081】

図12 (C) はノート型のパーソナルコンピュータであり、本体1021、筐体1022、表示部1023、キーボード1024などによって構成されている。本発明は表示部1023を有する表示装置の駆動回路に適用が可能である。

## 【0082】

図12 (D) は携帯情報端末であり、本体1031、表示部1032、操作ボタン1033、外部インターフェイス1034などによって構成されている。本発明は表示部1032を有する表示装置の駆動回路に適用が可能である。

## 【0083】

図12 (E) は音響再生装置、具体的には車載用のオーディオ装置であり、本体1041、表示部1042、操作スイッチ1043、1044などによって構成されている。本発明は表示部1042を有する表示装置の駆動回路に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いても良い。

## 【0084】

図12 (F) はデジタルカメラであり、本体1051、表示部(A) 1052、接眼部1053、操作スイッチ1054、表示部(B) 1055、バッテリー1056などによって構成されている。本発明は表示部(A) 1052および表示部(B) 1055を有する表示装置の駆動回路に適用が可能である。

## 【0085】

図12 (G)は携帯電話であり、本体1061、音声出力部1062、音声入力部1063、表示部1064、操作スイッチ1065、アンテナ1066などによって構成されている。本発明は表示部1064を有する表示装置の駆動回路に適用が可能である。

#### 【0086】

これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってより一層の軽量化を図ることができる。

#### 【0087】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

#### 【0088】

本実施例は、実施形態及び実施例1～4と自由に組み合わせて実施することが可能である。

#### 【0089】

##### 【発明の効果】

OLED素子を用いた表示装置において、本発明の制御回路を用いる事により効率良くメモリへの書き込みと読み取りの切り替えをすることでフレーム周波数の低下を防ぐことができる。

##### 【図面の簡単な説明】

【図1】 本発明のブロック図を示す図。

【図2】 従来例のブロック図を示す図。

【図3】 従来例の動作のタイムチャートを示す図。

【図4】 本発明の動作のタイムチャートを示す図。

【図5】 本発明の動作のタイムチャートを示す図。

【図6】 本発明を用いた実施例を示す図。

【図7】 本発明を用いた表示装置の一例を示す図。

【図8】 従来例のブロック図を示す図。

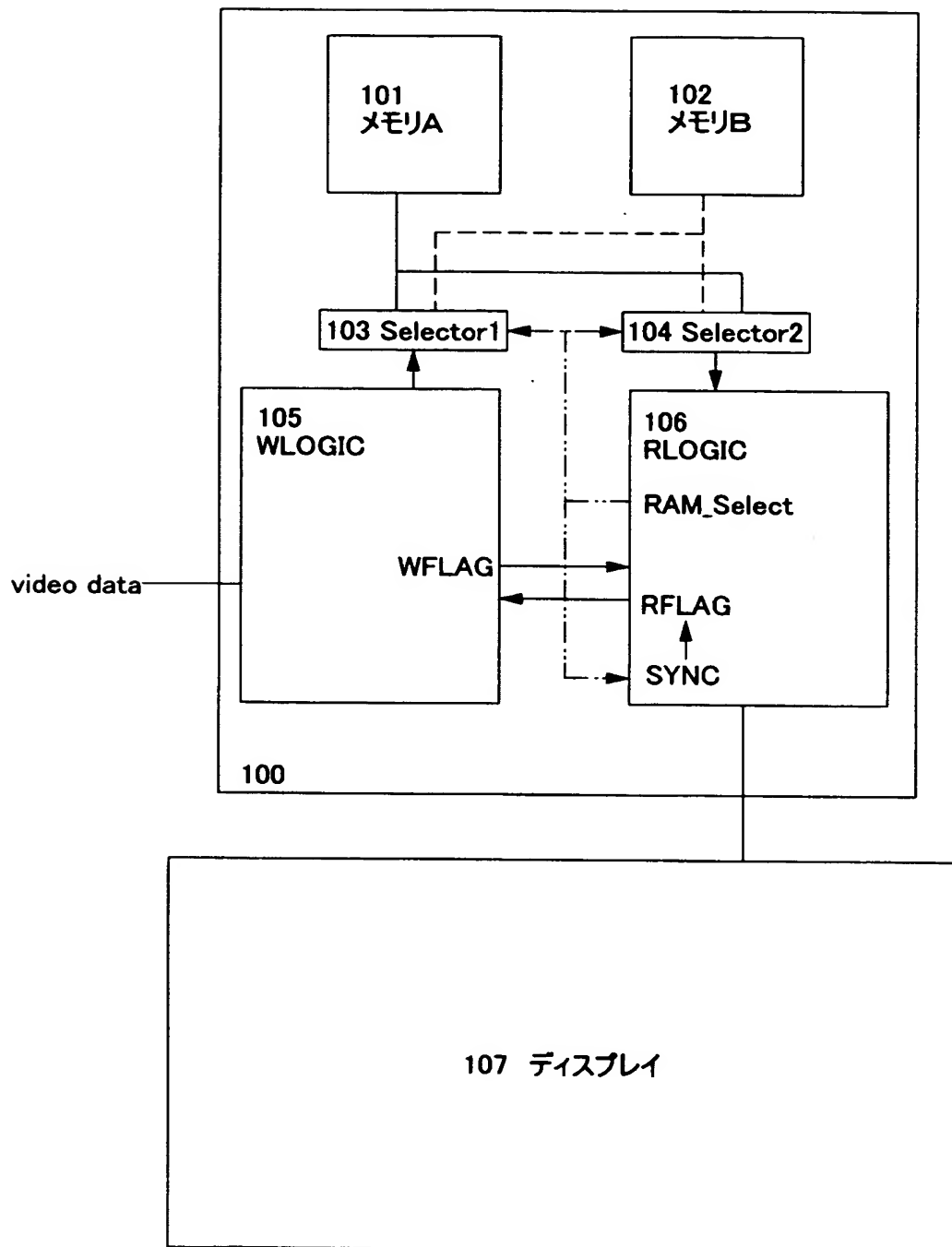
【図9】 マトリクス状に配置された画素の回路図。

- 【図 1 0】 従来例の動作のタイムチャートを示す図。
- 【図 1 1】 本発明を用いた表示装置の一例を示す図。
- 【図 1 2】 本発明を用いた電子機器の例を示す図。
- 【図 1 3】 本発明を用いた表示装置の一例を示す図。

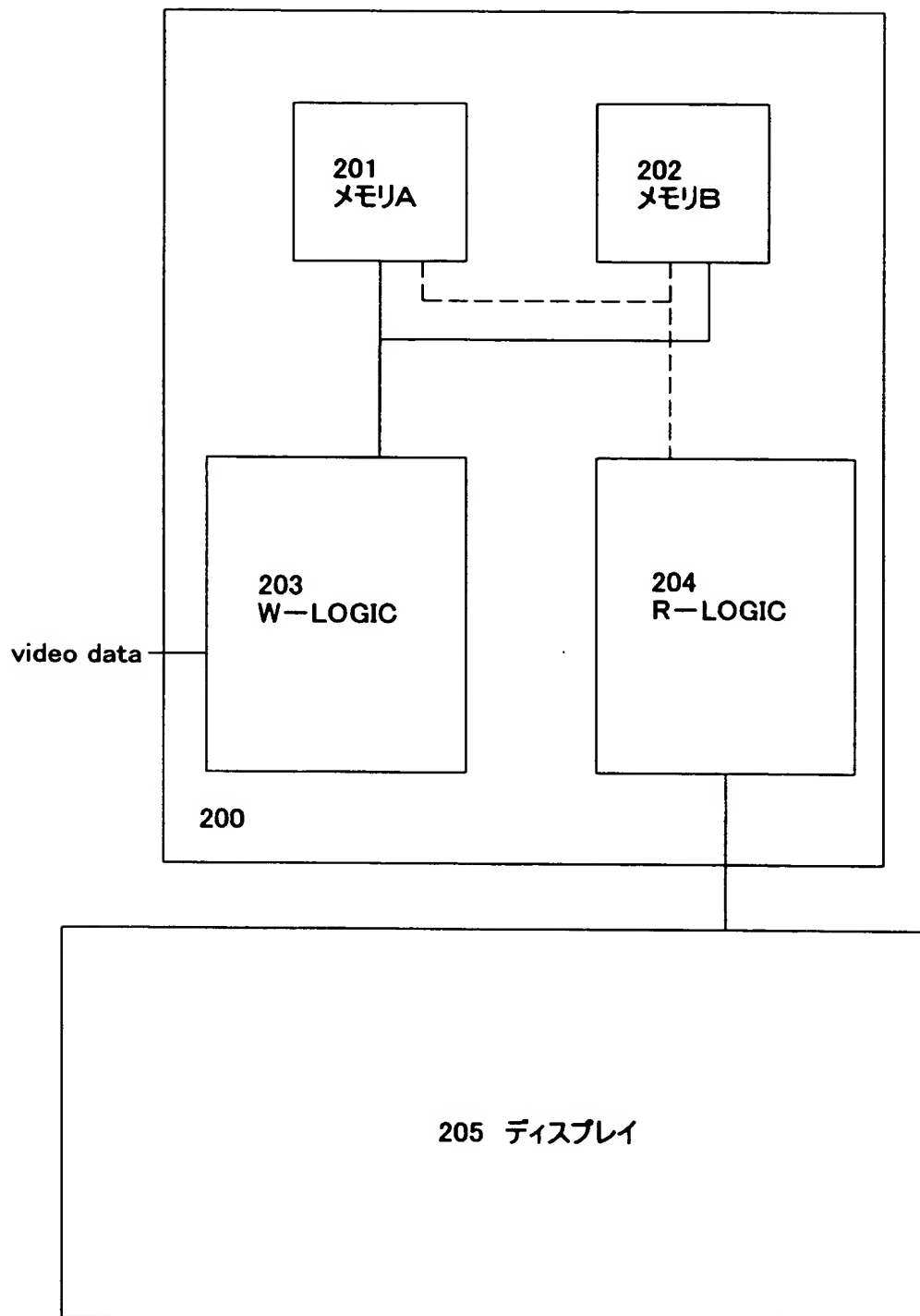
【書類名】

図面

【図 1】

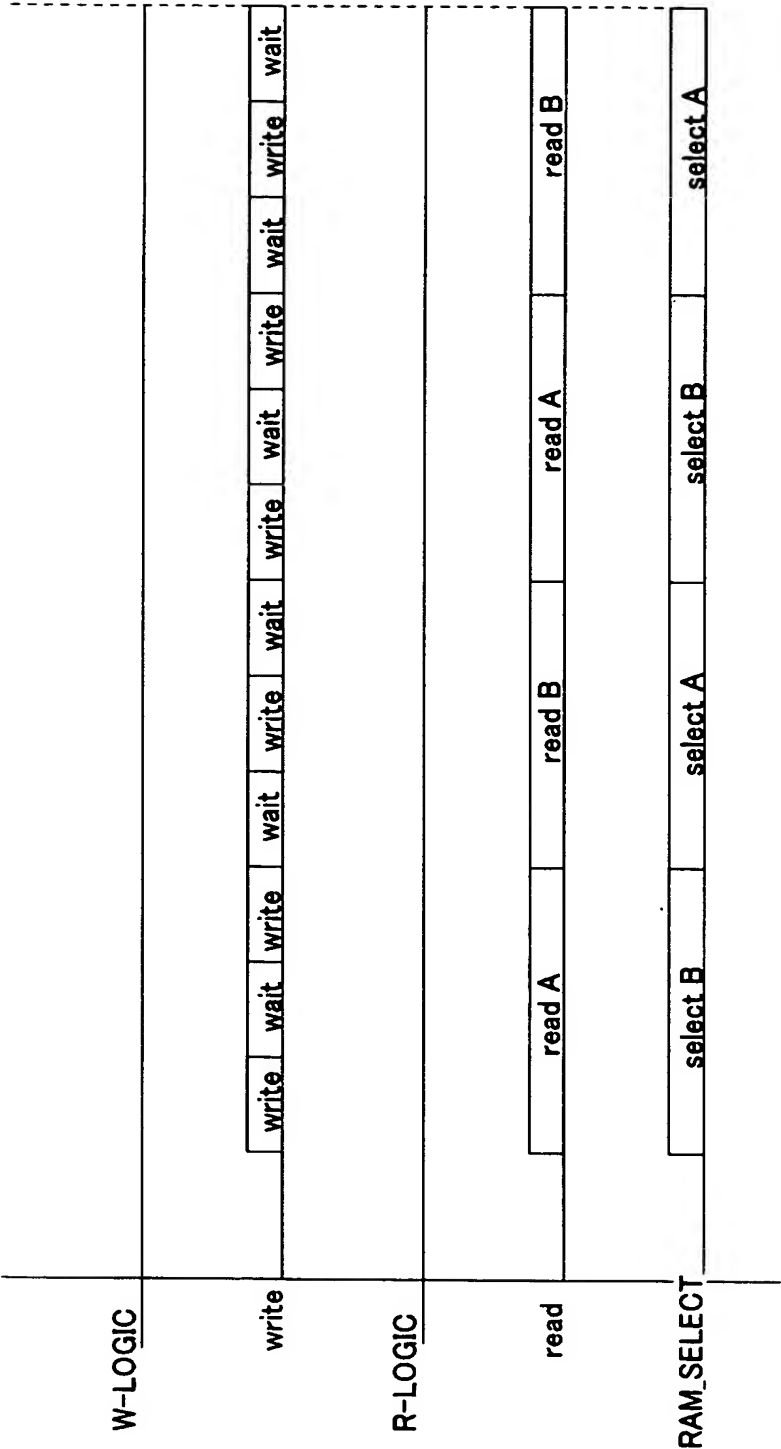


【図 2】

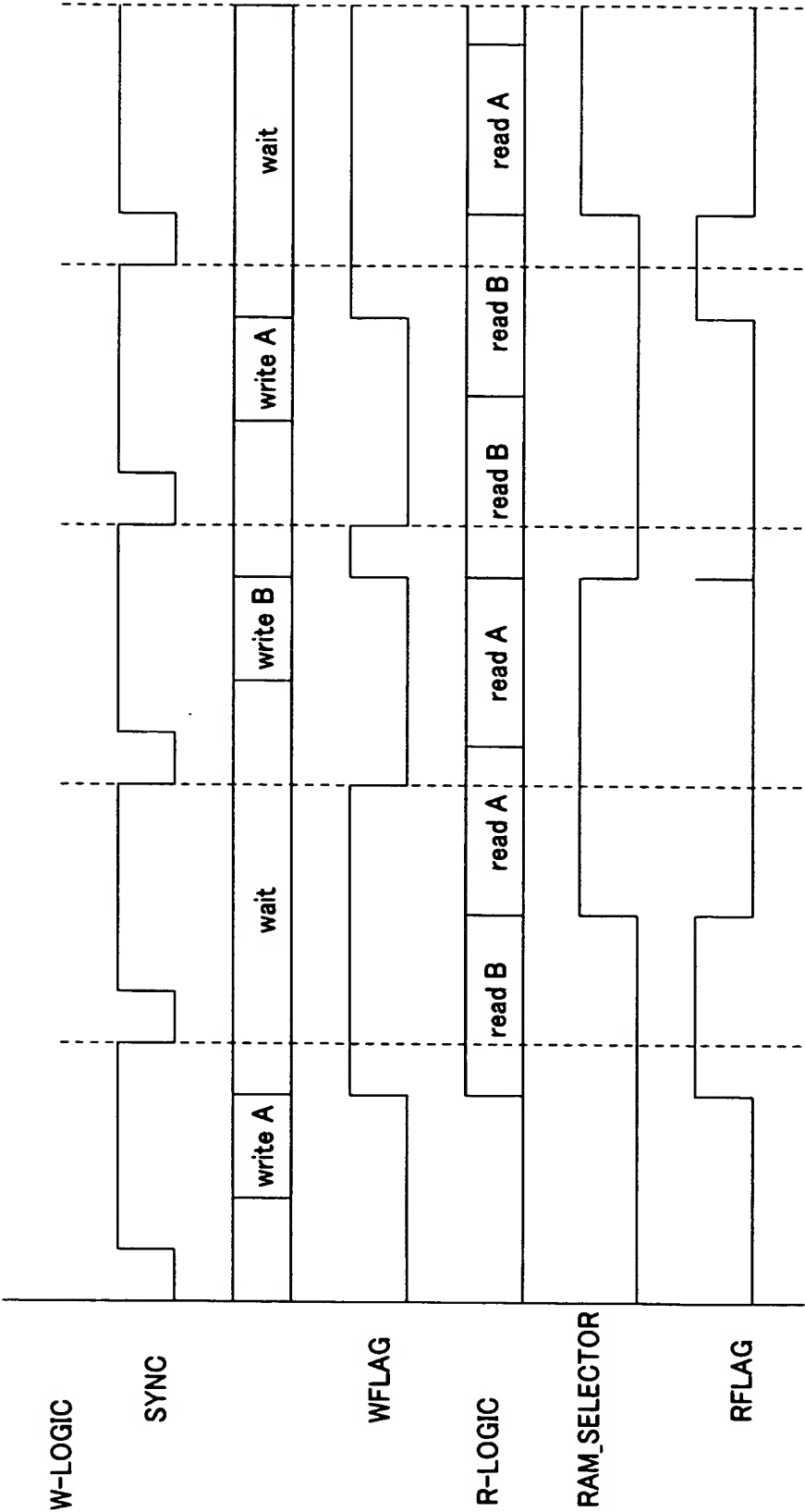




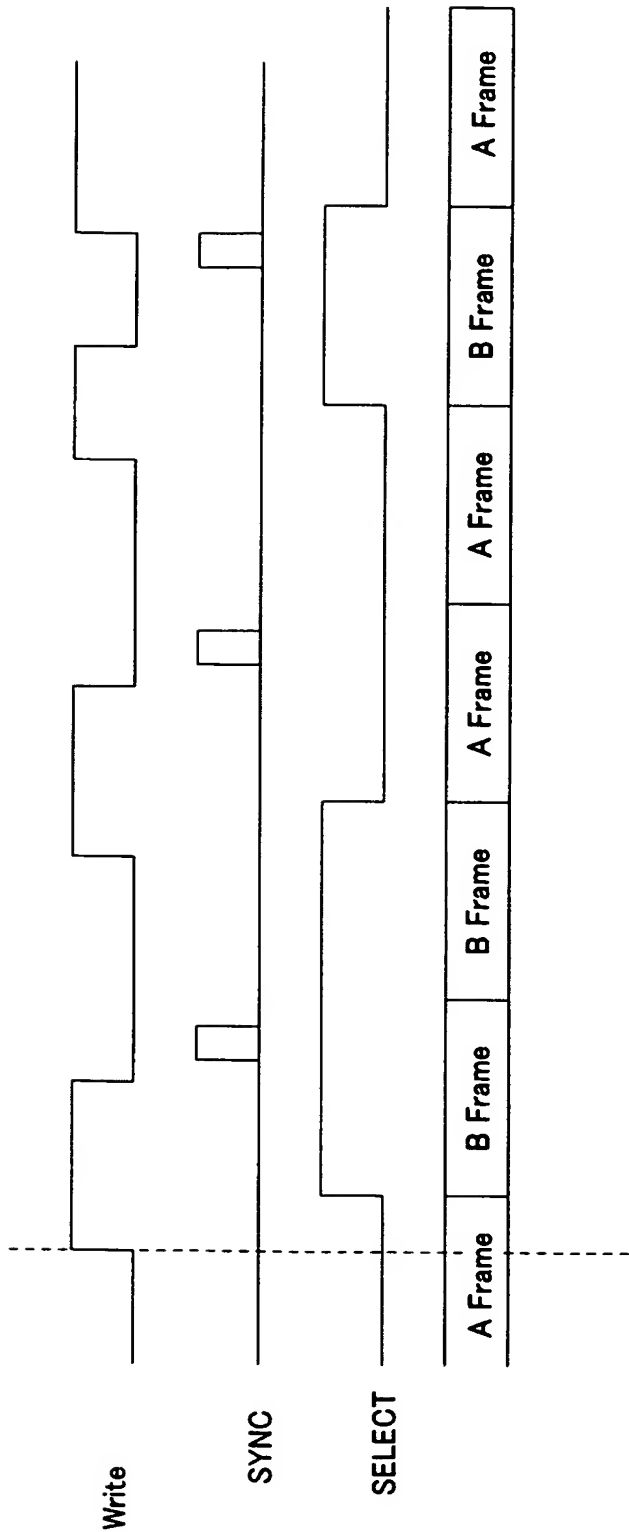
【図 3】



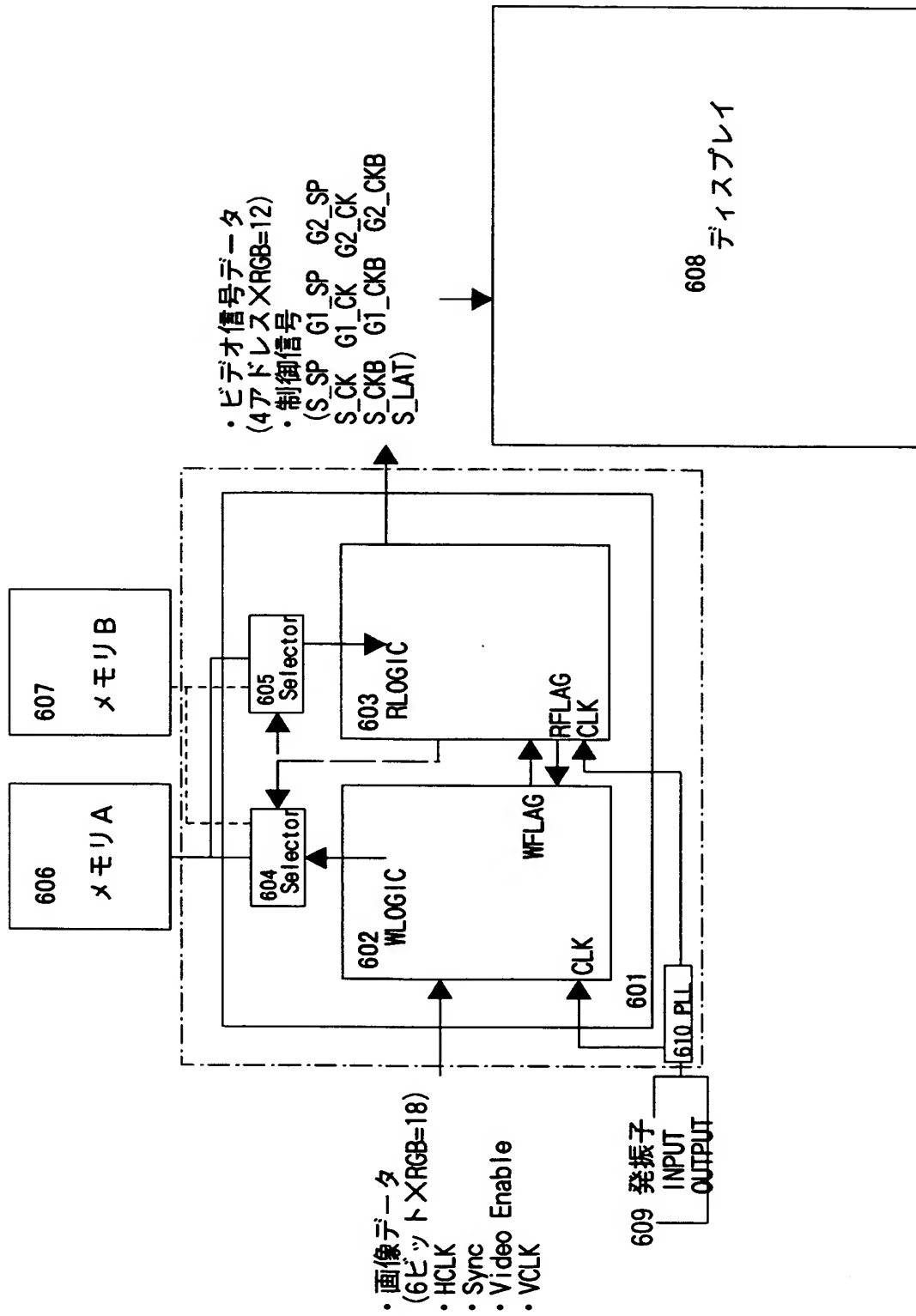
【図 4】



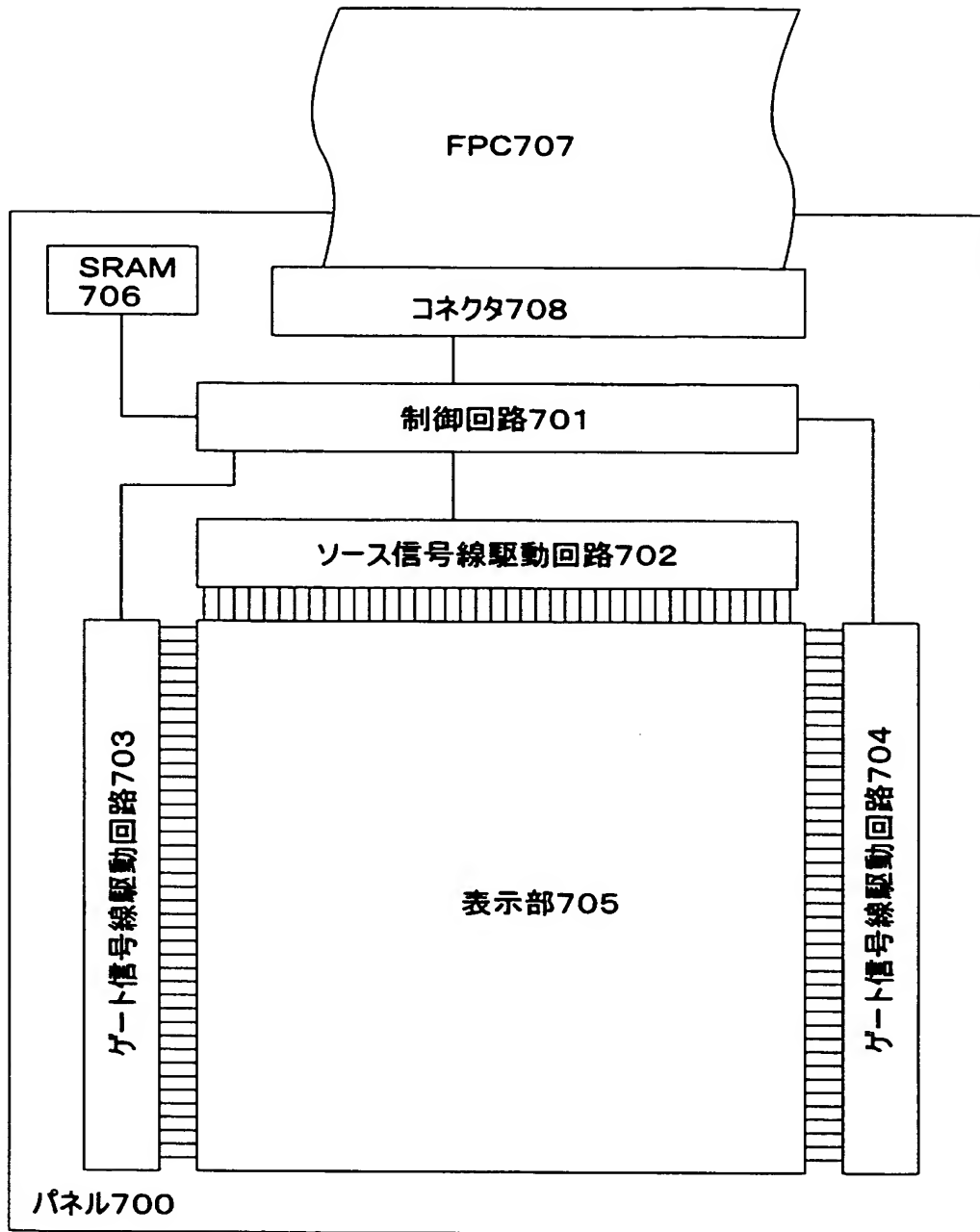
【図 5】



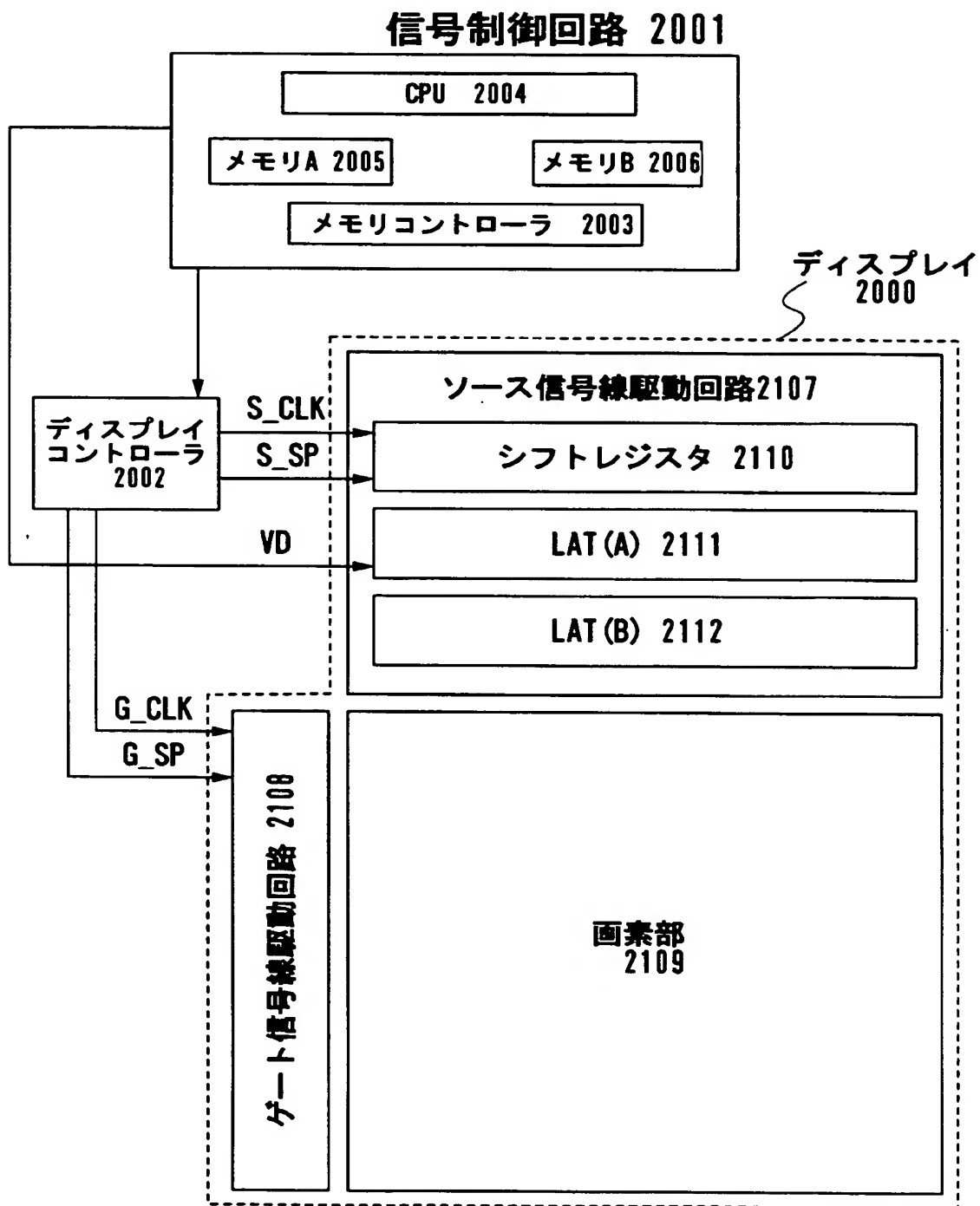
【図 6】



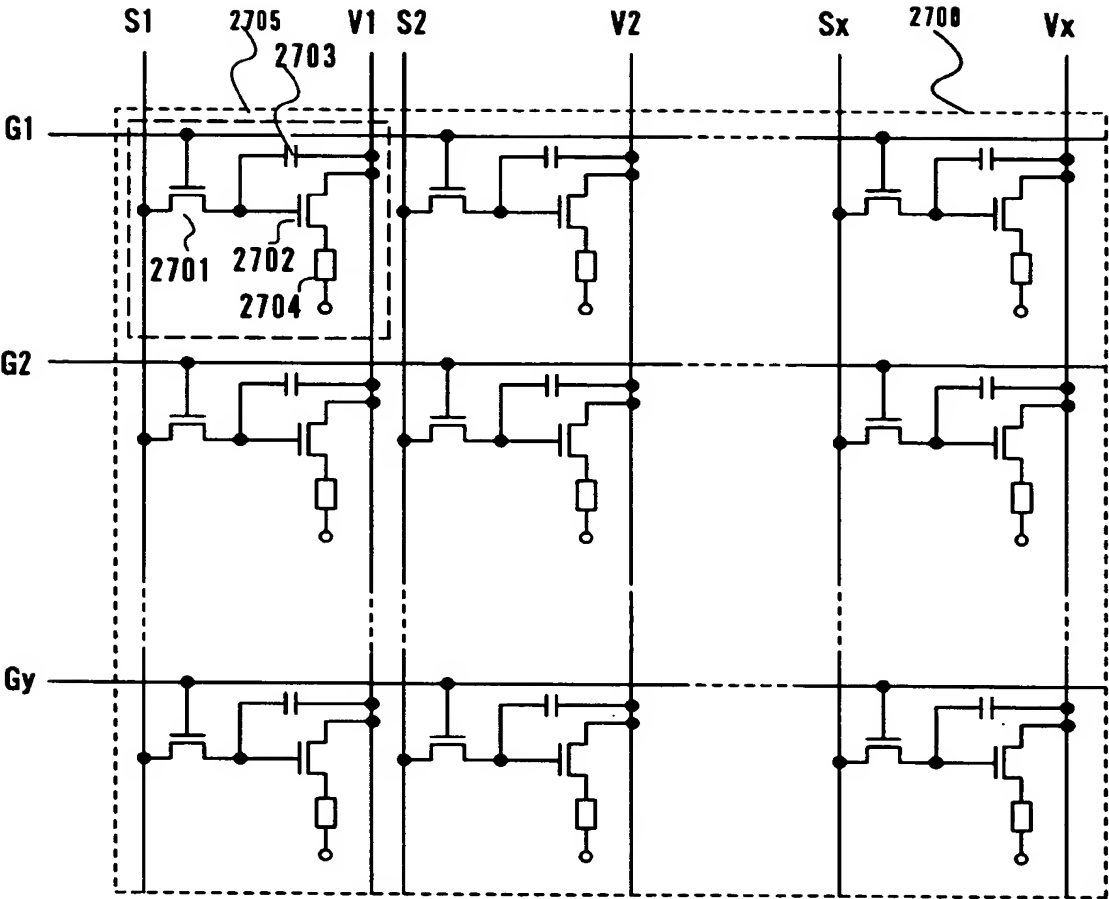
【図 7】



【図 8】

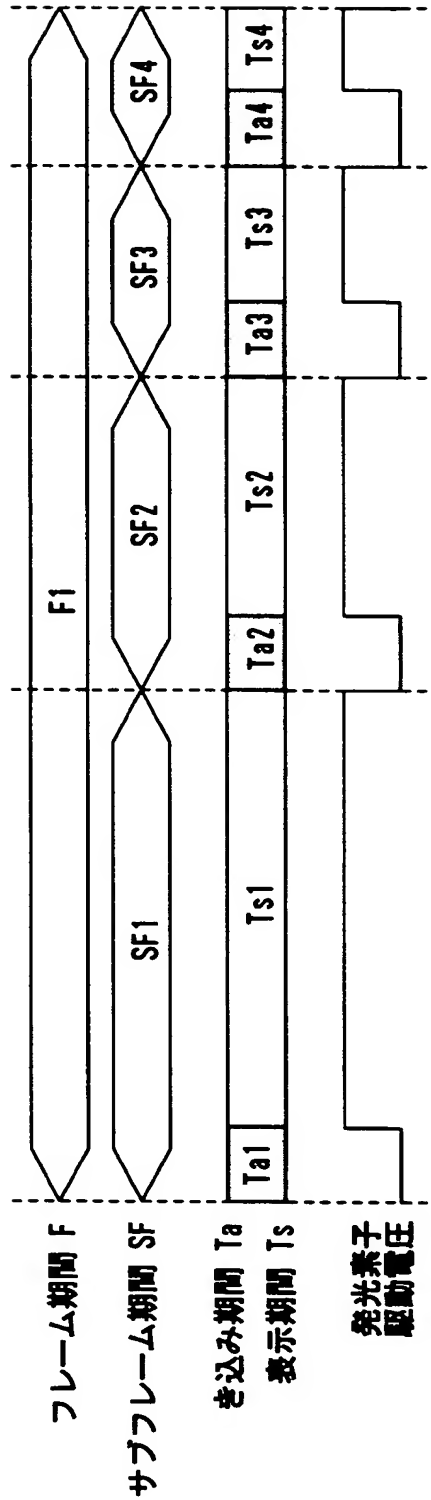


【図 9】

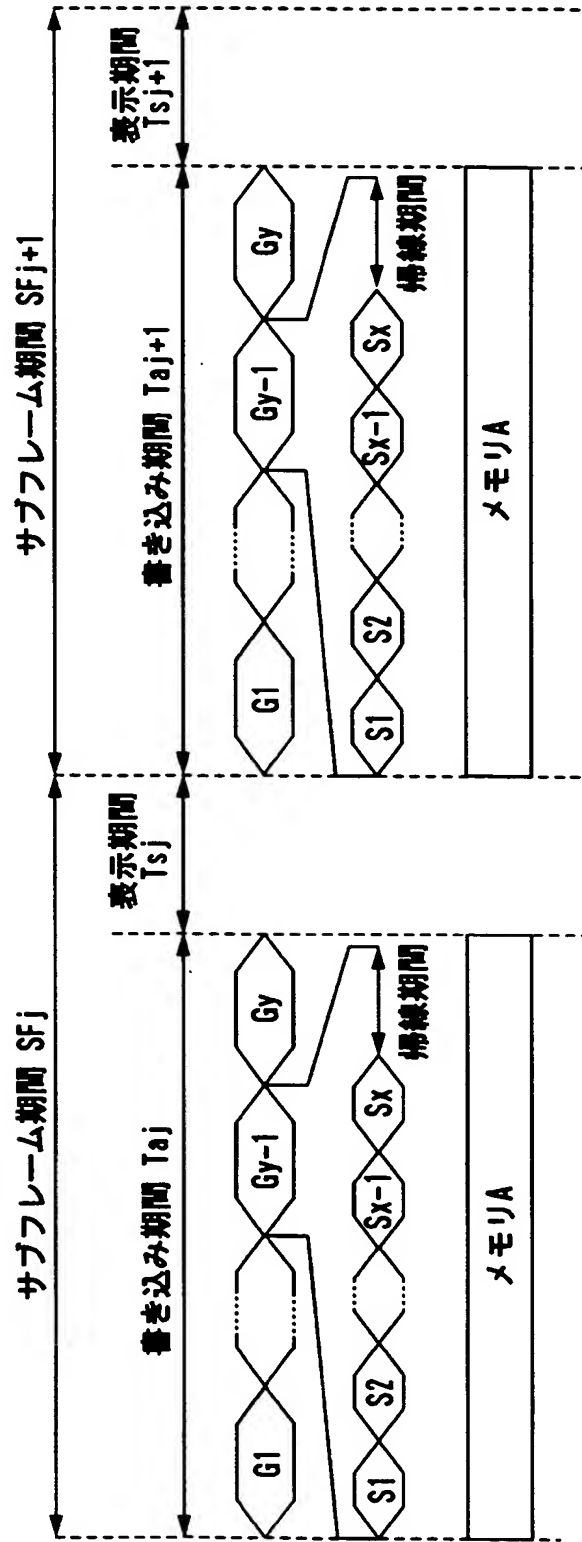


【図 1 0】

(A)

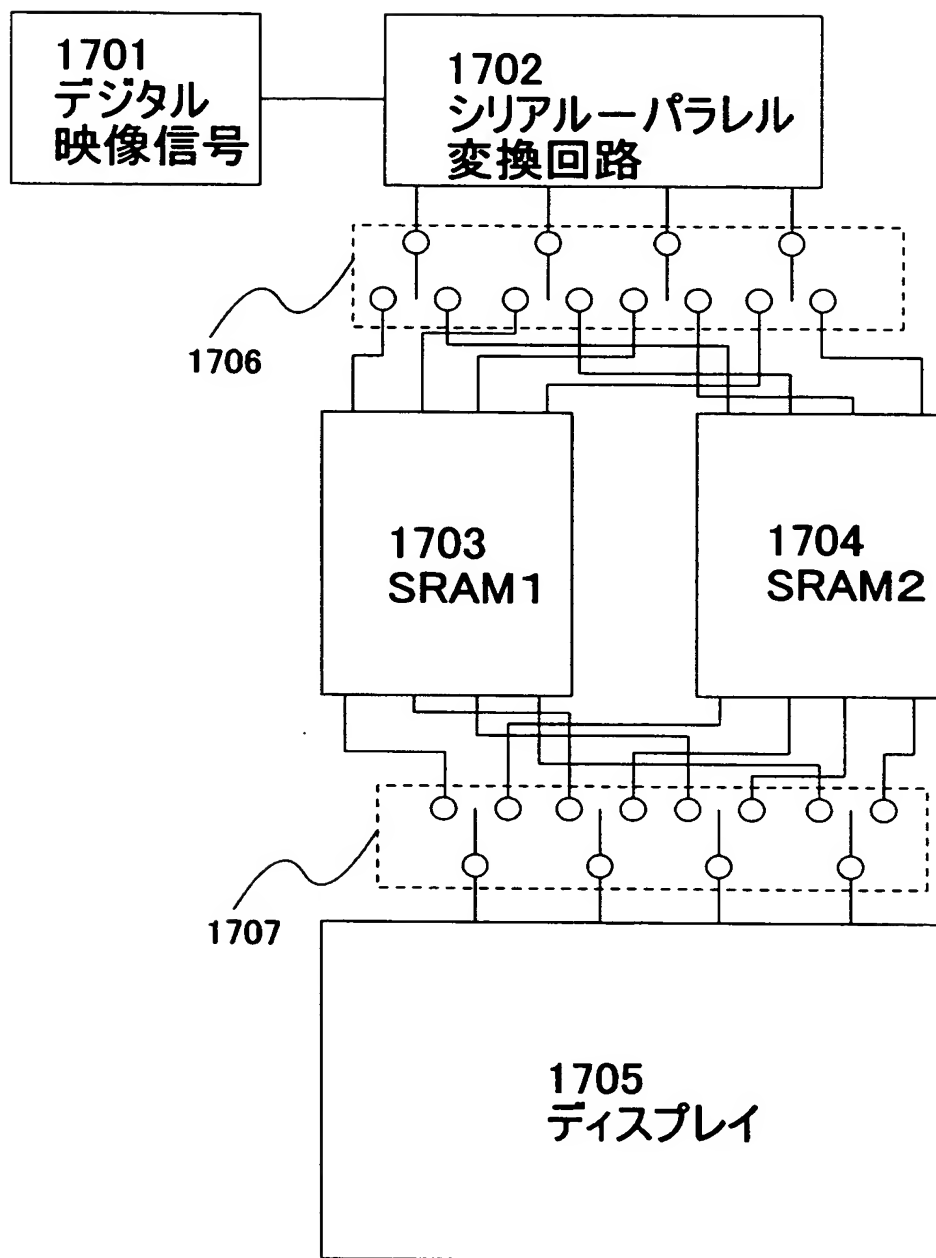


(B)



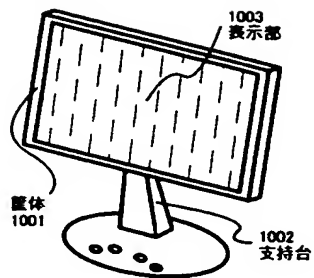


【図 11】

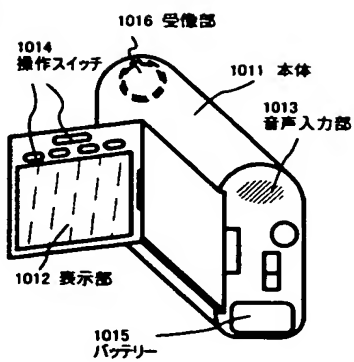


【図 12】

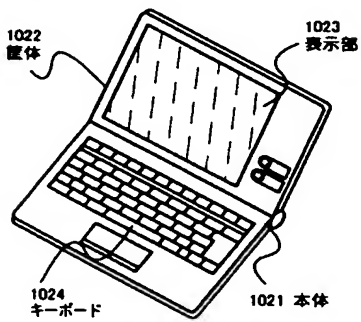
(A)



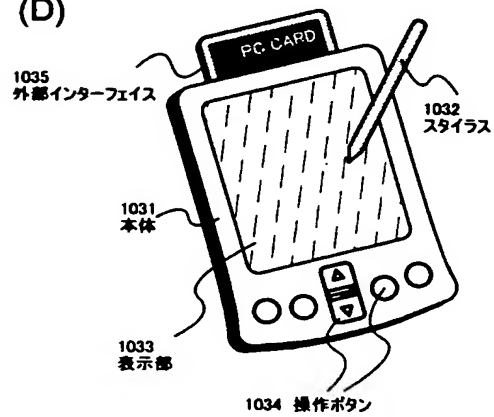
(B)



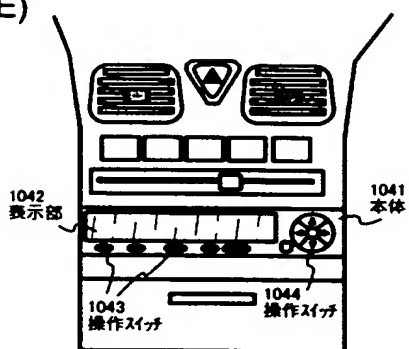
(C)



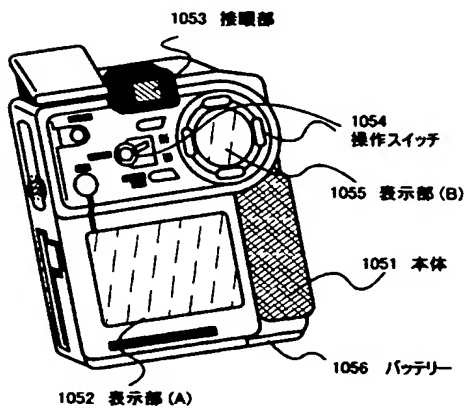
(D)



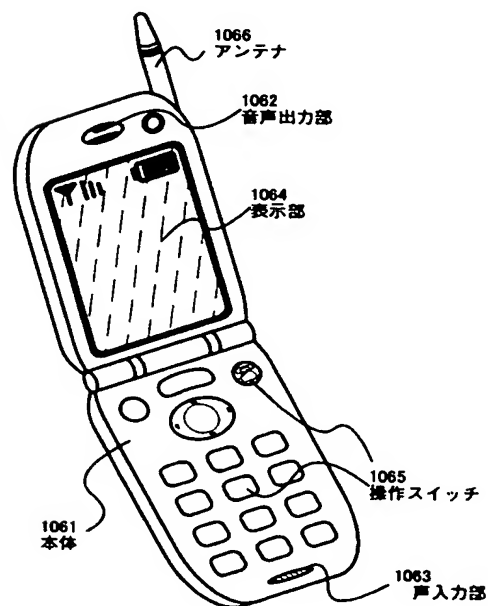
(E)



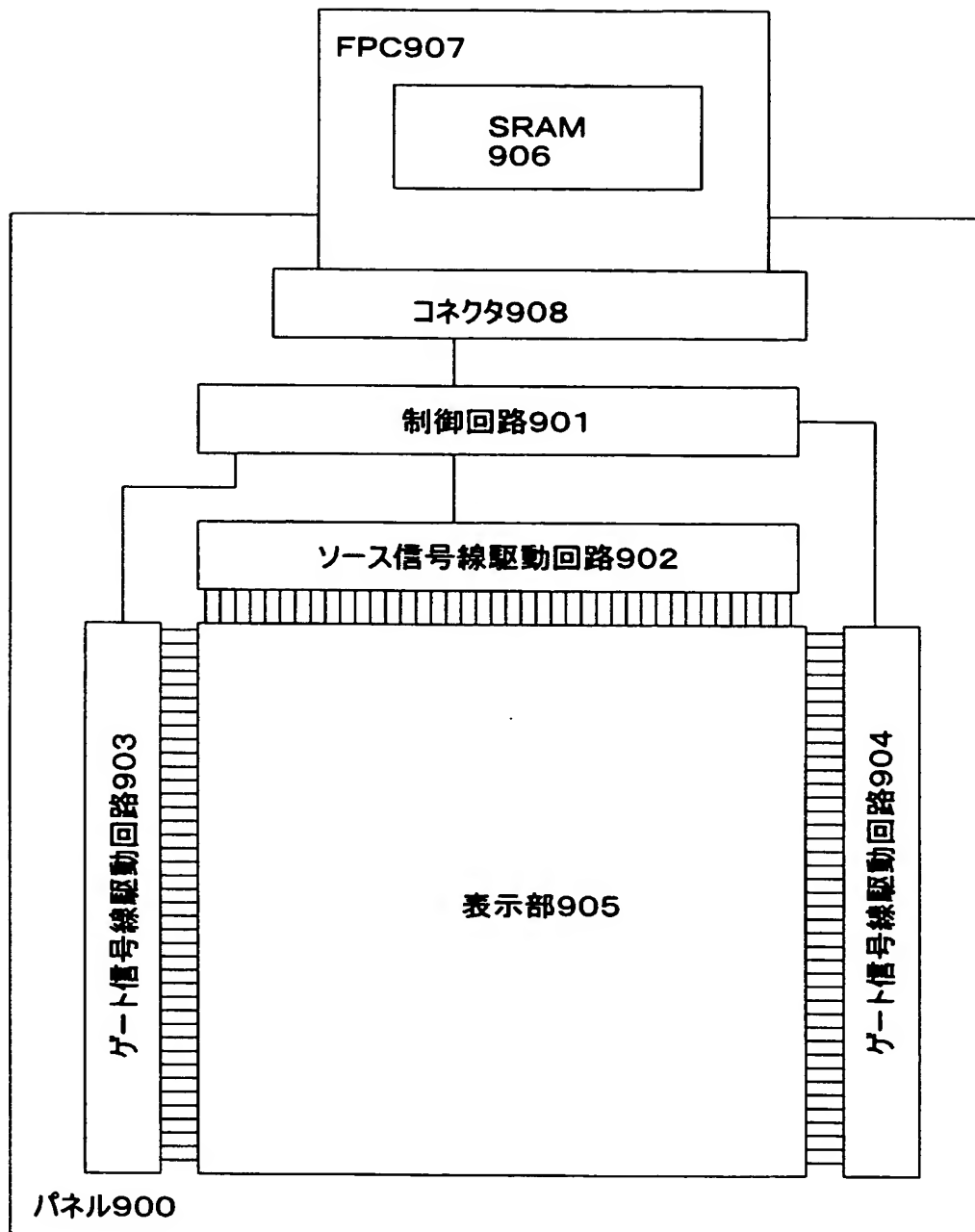
(F)



(G)



【図 13】



【書類名】 要約書

【要約】

【課題】

デジタル方式の階調表現方法として時間階調方式が上げられる。その時間階調方式において、フレーム周波数の低下の防止した表示装置、低消費電力 S R A M を用いた表示装置を提供することを課題とする。

【解決手段】

上述した従来技術の課題を解決するために、本発明においてはあるタイミングのときに読み取り信号と書き込み信号の状態を読み取り、それらの信号を用いて書き込みと読み取りの同期を取ることで効率よく 2 つのメモリのどちらに書き込みを行うかを決定することにした。

【選択図】 図 1

【書類名】 手続補正書  
【整理番号】 P006674  
【提出日】 平成14年10月23日  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2002-306426  
【補正をする者】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平

## 【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

## 【補正の内容】

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 遠藤 正己

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 齋藤 利彦

【その他】 補正の理由は、氏名の「正己」を誤って漢字変換し、「正巳」とした誤記を訂正するためである。

【プルーフの要否】 要

特願 2 0 0 2 - 3 0 6 4 2 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所